

Patent Abstracts of Japan

PUBLICATION NUMBER : 05074644
 PUBLICATION DATE : 26-03-93

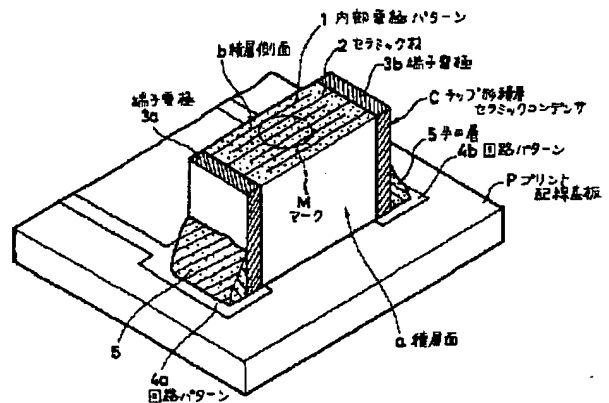
APPLICATION DATE : 12-09-91
 APPLICATION NUMBER : 03233334

APPLICANT : SONY CORP;

INVENTOR : MORIKAWA HIDEYUKI;

INT.CL. : H01G 1/035 H01G 1/04 H01G 4/12
 H01G 4/30

TITLE : MOUNTING METHOD OF CHIP TYPE
 MULTILAYERED CERAMIC
 CAPACITOR



ABSTRACT : PURPOSE: To ensure mechanical strength when a chip type multilayered ceramic capacitor is mounted on a printed wiring board.

CONSTITUTION: Thin film sheet type ceramic members 2 wherein inner electrode patterns 1 are formed on the surfaces are laminated to constitute a multilayered structure. Common terminal electrodes 3a and 3b are formed on both side surfaces of the structure. Each of the inner electrode patterns 1 is alternately connected, in parallel, with the electrodes, and a chip type multilayered ceramic capacitor C is formed. In the mounting method wherein the capacitor C is mounted on a printed wiring board P, the capacitor is so mounted that the lamination surface (a) is set vertical to the surface of the printed wiring board P.

COPYRIGHT: (C)1993,JPO&Japio

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-74644

(43) 公開日 平成5年(1993)3月26日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 G	1/035	C	9174-5E	
	1/04		9174-5E	
	4/12	3 4 3	7135-5E	
	4/30	3 0 1 F	8019-5E	

審査請求 未請求 請求項の数2(全5頁)

(21) 出願番号 特願平3-233334

(22) 出願日 平成3年(1991)9月12日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 森川 秀之

東京都品川区北品川6丁目5番6号 ソニ

ー・マグネ・プロダクツ株式会社内

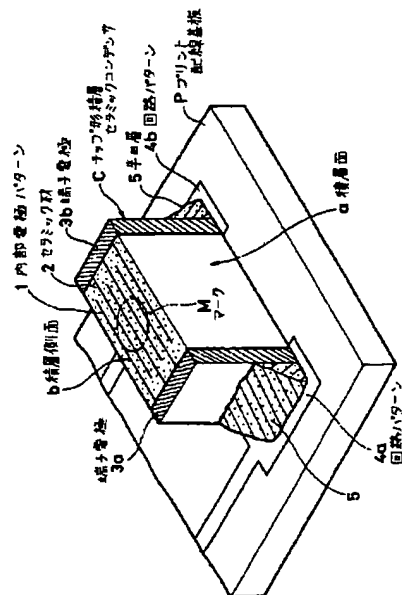
(74) 代理人 弁理士 松隈 秀盛

(54) 【発明の名称】 チップ形積層セラミックコンデンサの実装方法

(57) 【要約】

【目的】 プリント配線基板に実装した際の機械的強度を十分に確保できるようにする。

【構成】 表面に内部電極パターン1が形成された薄膜シート状のセラミック材2が多層に積層され、その両側面に夫々共通の端子電極3a及び3bが形成されて上記各内部電極パターン1が互い違いに並列に接続されたチップ形積層セラミックコンデンサCをプリント配線基板P上に実装するチップ形積層セラミックコンデンサの実装方法において、セラミック材2の積層面aをプリント配線基板Pの表面に対して垂直となるように実装する。



本発明の実装方法を示す斜視図

1

【特許請求の範囲】

【請求項1】 表面に内部電極パターンが形成された薄膜シート状のセラミック材が多層に積層され、その両側面に夫々共通の端子電極が形成されて上記各内部電極パターンが互い違いに並列に接続されたチップ形積層セラミックコンデンサをプリント配線基板上に実装するチップ形積層セラミックコンデンサの実装方法において、上記セラミック材の積層面を上記プリント配線基板面に対して垂直となるように実装することを特徴とするチップ形積層セラミックコンデンサの実装方法。

【請求項2】 上記セラミック材の積層側面に、実装時におけるその上下方向を示すマークが付けられていることを特徴とする請求項1記載のチップ形積層セラミックコンデンサの実装方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、セラミックコンデンサ、特に内部電極パターンが形成されたセラミック材を多層に積層して構成されるチップ形積層セラミックコンデンサのプリント配線基板への実装方法に関する。

【0002】

【従来の技術】 一般に、チップ形積層セラミックコンデンサは、小型・高容量であり、周波数特性及び耐熱性に優れ、信頼性の高い電子部品である。現在、民生用・産業用の種々の電子機器、即ちチューナ、VTR、小型音響機器、時計、カメラ、自動車機器、OA機器、通信機器などのセットで使用されている。

【0003】 チップ形積層セラミックコンデンサの構造は、図4に示すように、表面に内部電極パターン1が形成された薄膜シート状のセラミック材2を多層に積層し、その積層体の両側面に夫々共通の端子電極3a及び3bを形成して上記各内部電極パターン1を互い違いに並列に接続した構造を有する。

【0004】 そして、このチップ形積層セラミックコンデンサを機器側のプリント配線基板Pに実装する場合は、セラミック材2の積層面aをプリント配線基板Pの表面に対して水平となるように配置した後、プリント配線基板P上に形成された回路パターン4a及び4bに対し、端子電極3a及び3bを半田付けするようにしている。尚、5は半田層を示す。

【0005】

【発明が解決しようとする課題】 しかしながら、従来におけるチップ形積層セラミックコンデンサCの実装方法においては、実装後の機械的強度が低いという問題があった。例えばプリント配線基板Pの1mm程度のたわみでチップ形積層セラミックコンデンサCが破損し、使いものにならないという例が生じていた。

【0006】 そこで、従来では、セラミック材2を構成するセラミック粒子を微細化してセラミック粒子同士の接触面積を増加させることにより、セラミック材2自体

2

の機械的強度を高くするという方法やプリント配線基板Pの曲げに対する追従性を確保するために、セラミック材2の積層数を減らし、高さ方向に薄くするという方法が提案されている。

【0007】 しかし、いずれの方法においても製造コストの高価格化は免れないという不都合がある。特に、後者のセラミック材2の積層数を減らし、高さ方向に薄くするという方法の場合、一つのチップ形積層セラミックコンデンサCにおいて容量が減る分、減る容量に見合う数量が必要となる。その結果、部品点数の増加を引き起こし、高密度実装の妨げになるという不都合がある。

【0008】 本発明は、このような課題に鑑み成されたもので、その目的とするところは、プリント配線基板に実装した際の機械的強度を十分に確保することができるチップ形積層セラミックコンデンサの実装方法を提供することにある。

【0009】

【課題を解決するための手段】 本発明は、表面に内部電極パターン1が形成された薄膜シート状のセラミック材2が多層に積層され、その両側面に夫々共通の端子電極3a及び3bが形成されて上記各内部電極パターン1が互い違いに並列に接続されたチップ形積層セラミックコンデンサCをプリント配線基板P上に実装するチップ形積層セラミックコンデンサの実装方法において、セラミック材2の積層面aをプリント配線基板Pの表面に対して垂直となるように実装する。

【0010】 この場合、セラミック材2の積層側面bに、実装時におけるその上下方向を示すマークMを付けるようにしてもよい。

【0011】

【作用】 上述の本発明の実装方法によれば、セラミック材2の積層面aをプリント配線基板Pの表面に対して垂直となるように実装するようにしたので、従来の場合よりも機械的強度が大幅に向上し、チップ形積層セラミックコンデンサCの信頼性並びにこのチップ形積層セラミックコンデンサCを実装した機器の信頼性を向上させることができる。

【0012】

【実施例】 以下、図1～図3を参照しながら本発明の実施例を説明する。図1は、本実施例に係るチップ形積層セラミックコンデンサ(R特 630V-0.22μF)Cのプリント配線基板Pに対する実装方法を示す斜視図である。

【0013】 ここで、本例に用いられるチップ形積層セラミックコンデンサCの構造は、図示するように、表面に内部電極パターン1が形成された薄膜シート状のセラミック材2を多層に積層し、その積層体の両側面に夫々共通の端子電極3a及び3bを形成して上記各内部電極パターン1を互い違いに並列に接続した構造を有する。

【0014】 そして、このチップ形積層セラミックコン

デンサCを機器側のプリント配線基板Pに実装する場合は、まず、セラミック材2の積層面aをプリント配線基板Pの表面に対して垂直となるように配置する。換言すれば、セラミック材2の積層状態がわかるセラミック材2の積層側面bをプリント配線基板Pの表面に対して水平となるように、即ちいずれかの積層側面bが上方に臨むように配置する。その後、プリント配線基板P上に形成された回路パターン4a及び4bに対し、夫々端子電極3a及び3bを半田付けして、本例に係るチップ形積層セラミックコンデンサCの実装が完了する。尚、5は半田層を示す。

【0015】次に、本例に係る実装方法（実施例）と従来の実装方法（比較例）によるチップ形積層セラミックコンデンサCの機械的強度の違いを図2及び図3に基いて説明する。

【0016】まず、チップ形積層セラミックコンデンサCの機械的強度を調べるために、EIAJ（日本電子機械工業会規格）による表面実装部品の機械的強度試験方法、特に耐基板曲げ性試験方法を用いた。この試験方法は、図2に示すように、試験台11に円柱状の支持部材12を両側に配置し、更にチップ形積層セラミックコンデンサCを実装した厚み $T=2.0$ mmのA1製基板13を、チップ形積層セラミックコンデンサCを下向きにして支持部材12上に載置する。このときの配置関係は、A1製基板13に実装されたチップ形積層セラミックコンデンサCの中心線mから両側の支持部の各中心までの距離nを夫々4.5mmに設定してある。

【0017】この状態で、加圧手段14にて上方からA1製基板13を押圧し、チップ形積層セラミックコンデンサCが破損したときのA1製基板のたわみ量を測定する。たわみ量が大きいほどチップ形積層セラミックコンデンサCの機械的強度が高いことになる。

【0018】この機械的強度試験は、実施例及び比較例ともに10回ずつ行なった。その試験結果を図3に示す。この図3において、A及びBで示すポイントは、実施例及び比較例において、夫々10回行った測定値の平均値を示し、上下に延びるひげはそのばらつきを示す。また、たわみ量2mmのライン（破線で示す）は、EIAJ規格の規定値を示す。尚、試験で用いたチップ形積層セラミックコンデンサCのサイズは、実施例及び比較例とも、端子電極間の長さ $L=6.3$ mm、幅 $W=5.6$ mm、厚み $t=0.7$ mmである。

【0019】この図3で示す試験結果からわかるように、比較例（従来の実装方法：図4参照）の場合、A1製基板13のたわみ量が1mm（平均値）程度の小さなたわみ量でチップ形積層セラミックコンデンサCが破損

してしましたが、実施例（本例の実装方法：図1参照）の場合、A1製基板13のたわみ量が4mm（平均値）程度の比較的大きなたわみ量にてチップ形積層セラミックコンデンサCが破損した。このことから、実施例の場合、比較例と比して大幅に機械的強度が向上しているのがわかる。

【0020】上述のように、本例によれば、セラミック材2の積層面aをプリント配線基板Pの表面に対して垂直となるように実装するようにしたので、従来の場合よりも機械的強度が大幅に向上し、チップ形積層セラミックコンデンサCの信頼性並びにこのチップ形積層セラミックコンデンサCを実装した機器の信頼性を向上させることができる。

【0021】特に、セラミック材2の積層側面bに実装の際の上下方向を示すマーク（二点鎖線で示す）Mを付けるようにすれば、実装用自動機での自動実装が非常に容易になり、工数の削減を図ることができる。

【0022】尚、チップ形積層セラミックコンデンサCが搭載される基板としては、その材質を選ばない。全ての面搭載形基板に適用可能である。

【0023】

【発明の効果】本発明に係るチップ形積層セラミックコンデンサの実装方法によれば、プリント配線基板に実装した際の機械的強度を充分に確保することができる。

【図面の簡単な説明】

【図1】本実施例に係るチップ形積層セラミックコンデンサの実装方法を示す斜視図。

【図2】本実施例の機械的強度を測定する場合に用いられた機械的強度試験方法（耐基板曲げ性試験方法）を示す説明図。

【図3】図2に係る耐基板曲げ性試験方法による試験結果を示す特性図。

【図4】従来例に係るチップ形積層セラミックコンデンサの実装方法を示す斜視図。

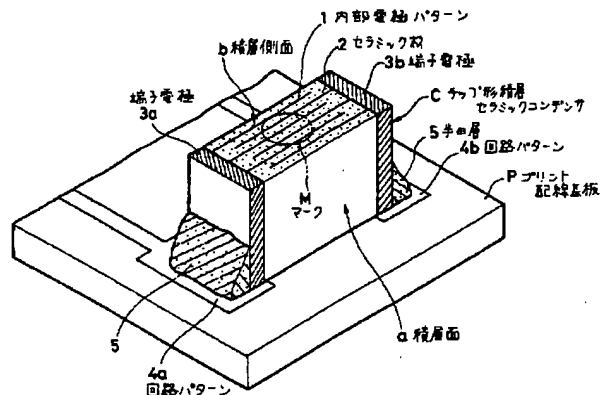
【符号の説明】

- C チップ形積層セラミックコンデンサ
- P プリント配線基板
- 1 内部電極パターン
- 2 セラミック材
- 3 a, 3 b 端子電極
- 4 a, 4 b 回路パターン
- 5 半田層
- a 積層面
- b 積層側面
- M マーク

(4)

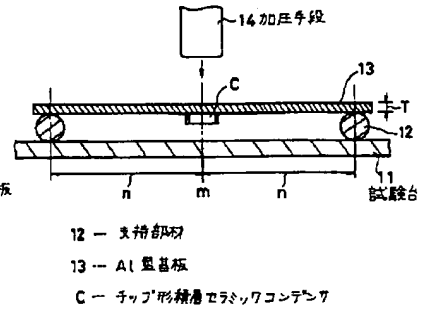
特開平5-74644

【図1】



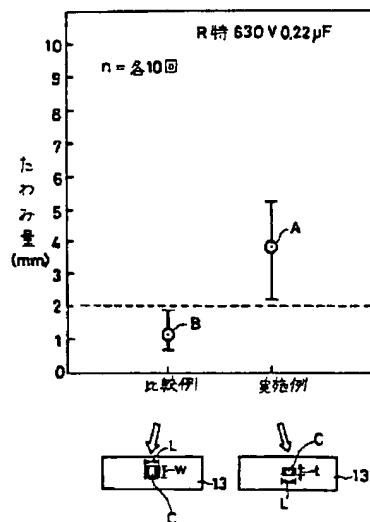
本実施例の実装方法を示す斜視図

【図2】



本例7'の耐基板曲げ性試験方法を示す説明図

【図3】

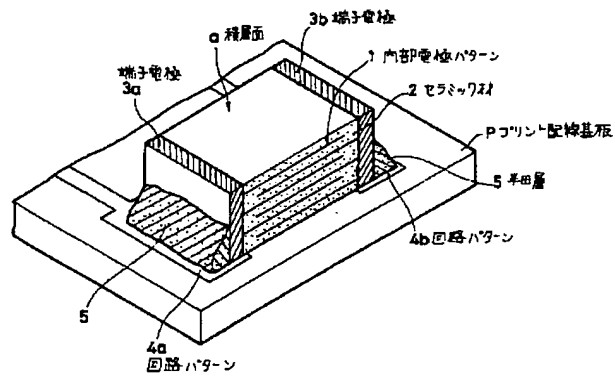


本例7'の耐基板曲げ性試験方法による
試験結果を示す特性図

(5)

特開平5-74644

【図4】



従来例の実装方法を示す斜視図